

#3 S.W.H
11/07/01
JC997 U.S. PTO
09/942607
08/31/01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yoshiharu UETANI

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: -HEREWITH

FOR: COMPRESSION-ENCODED DATA DECODING APPARATUS

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

APPLICATION NUMBER

MONTH/DAY/YEAR

Japan

2000-300433

September 29, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Chmn McClelland

Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

JC997 U.S. PTO
09/942607
06/31/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 9月29日

出 願 番 号

Application Number:

特願2000-300433

出 願 人

Applicant(s):

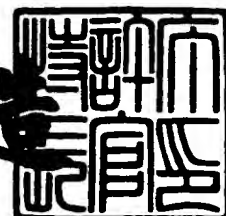
株式会社東芝

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 5月11日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3039564

【書類名】 特許願

【整理番号】 A000003283

【提出日】 平成12年 9月29日

【あて先】 特許庁長官 殿

【国際特許分類】 H04N 7/30

【発明の名称】 圧縮画像データ復号装置

【請求項の数】 6

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研
究開発センター内

【氏名】 上谷 義治

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書
 【発明の名称】 圧縮画像データ復号装置
 【特許請求の範囲】

【請求項 1】

画像信号または該画像信号と予測信号との誤差である予測誤差信号を複数の画素からなるブロック毎に離散コサイン変換して得られた非零係数及び零係数からなる D C T 係数を量子化し、所定のスキャンパターンに従ってスキャン変換した後に、零係数の連続長を示す零ランレングスとこれに続く非零係数の組を可変長符号化して得られた可変長符号を含む圧縮画像データを復号する圧縮画像データ復号装置において、

前記可変長符号を復号して量子化された前記零ランレングス及び非零係数を出力する可変長復号部と、

前記可変長復号部から出力される量子化された零ランレングス及び非零係数を逆量子化する逆量子化部と、

前記逆量子化部からの逆量子化結果を受けて前記零ランレングスに応じた数の零係数を生成すると共に、各ブロック毎に該逆量子化結果に含まれる非零係数及び該生成した零係数を前記スキャンパターンに従った順序で出力する零ラン再生出力部と、

前記可変長復号部と前記零ラン再生出力部との間に設けられ、複数のブロックに含まれる非零係数を記憶可能な F I F O メモリ部と、

前記零ラン再生出力部から出力される非零係数及び零係数を逆離散コサイン変換する逆離散コサイン変換部と、

前記逆離散コサイン変換部からの変換結果に対して動き補償を施して復号画像信号を生成する動き補償部と

を備えたことを特徴とする圧縮画像データ復号装置。

【請求項 2】

画像信号または該画像信号と予測信号との誤差である予測誤差信号を複数の画素からなるブロック毎に離散コサイン変換して得られた非零係数及び零係数からなる D C T 係数を量子化し、所定のスキャンパターンに従ってスキャン変換した

後に、零係数の連続長を示す零ランレングスとこれに続く非零係数の組を可変長符号化して得られた可変長符号を含む圧縮画像データを復号する圧縮画像データ復号装置において、

前記可変長符号を復号して量子化された前記零ランレングス及び非零係数を出力する可変長復号部、前記可変長復号部から出力される量子化された零ランレングス及び非零係数を逆量子化する逆量子化部、前記逆量子化部からの逆量子化結果を受けて前記零ランレングスに応じた数の零係数を生成すると共に、各ブロック毎に該逆量子化結果に含まれる非零係数及び該生成した零係数を前記スキャンパターンに従った順序で出力する零ラン再生出力部、前記可変長復号部と前記零ラン再生出力部との間に設けられ、複数のブロックに含まれる非零係数を記憶可能なF I F Oメモリ部、前記零ラン再生出力部から出力される非零係数及び零係数を逆離散コサイン変換する逆離散コサイン変換部、及び前記逆離散コサイン変換部からの変換結果に対して動き補償を施して復号画像信号を生成する動き補償部からそれぞれ構成される第1、第2の伸張処理部と、

前記第1の伸張処理部内の前記零ラン再生出力部から出力される非零係数及び零係数と前記第2の伸張処理部内の前記零ラン再生出力部から出力される非零係数及び零係数を1ブロック毎に交互に逆離散コサイン変換する逆離散コサイン変換部と、

前記逆離散コサイン変換部からの変換結果に対して動き補償を施して復号画像信号を生成する動き補償部と

を備えたことを特徴とする圧縮画像データ復号装置。

【請求項3】

前記可変長復号部は、所定の複数のブロックからなる1マクロブロック以上にわたって連続的に前記可変長符号を復号することを特徴とする請求項1または2記載の圧縮画像データ復号装置。

【請求項4】

前記零ラン再生出力部は、複数の非零係数及び零係数を記憶可能な容量を持つD C T係数記憶部を有し、前記逆量子化結果に含まれる非零係数及び生成した前記零係数を該D C T係数記憶部に書き込み、前記スキャンパターンに従った順序

で書き込み時よりも高速で読み出して出力することを特徴とする請求項 1 または 2 記載の圧縮画像データ復号装置。

【請求項 5】

前記逆量子化部は、前記可変長復号部からの零ランレングスを累算することにより前記非零係数の位置を示すスキャンアドレス情報を再生して該スキャンアドレス情報と前記スキャンパターンを示すスキャンパターン情報により対応付けられた量子化幅データを前記可変長復号部からの非零係数に乗じることにより前記逆量子化結果を生成し、

前記 F I F O メモリ部は、前記逆量子化部からの前記スキャンアドレス情報とスキャンパターン情報及び前記逆量子化結果を含むデータを記憶し、

前記零ラン再生出力部は、複数の非零係数及び零係数を記憶可能な容量を持つ D C T 係数記憶部と、前記量子化結果が有効のとき 1 クロック毎にカウントアップするスキャンアドレスカウンタと、該スキャンアドレスカウンタの出力値と前記 F I F O メモリ部から読み出されたスキャンアドレス情報の値が一致するまで前記零係数を生成する零係数生成部とを有し、前記逆量子化結果に含まれる非零係数及び前記零係数生成部で生成した前記零係数を該 D C T 係数記憶部に書き込み、前記スキャンパターン情報で示されるスキャンパターンに従った順序で書き込み時よりも高速で読み出して出力することを特徴とする請求項 1 または 2 記載の圧縮画像データ復号装置。

【請求項 6】

前記逆量子化部は、前記可変長復号部からブロックの終了信号を受けたときに当該ブロックの最終係数位置に非零係数が存在しない場合に該最終係数位置に零係数を挿入して出力することを特徴とする請求項 1 または 2 記載の圧縮画像データ復号装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、離散コサイン変換（D C T）を用いた M P E G 方式に代表されるような画像符号化方式により圧縮符号化された画像データを低遅延で高速に復号処

理する圧縮画像データ復号装置に関する。

【 0 0 0 2 】

【従来の技術】

動画像符号化の国際標準規格である M P E G (Moving Picture Experts Group)方式により圧縮符号化された画像データを比較的低遅延で復号する圧縮画像データ復号処理装置の例として、特開平 9 - 1 3 5 4 4 6 に記載された M P E G 用ビデオデコーダがある。

【 0 0 0 3 】

この従来の圧縮画像データ復号処理装置では、入力された圧縮画像データは構文解読器、可変長復号器、逆量子化器、零ラン再生器、ブロックバッファ、逆離散コサイン変換器、マクロブロックバッファ及び動き補償器を経て復号される。ブロックバッファは零ラン再生器の再生結果を一時記憶し、それをブロック毎に後段の逆離散コサイン変換器での処理に適した係数順序で出力するために用いられ、マクロブロックバッファは動き補償器の処理を複数のブロック単位で行うために用いられる。可変長復号器の復号結果はパラメータデコーダにも入力され、ブロックバッファで必要なパラメータが抽出される。

【 0 0 0 4 】

しかし、この圧縮画像データ処理装置では、零ラン再生器での処理がブロック単位であり、非零係数の少ないブロックでは 1 ブロック毎の復号処理が短時間で終了する。このため零ラン再生器の前段の可変長復号器の処理がブロック毎に頻繁に停止し、構文解読器やパラメータデコーダで次の処理が可能となるまでの待機時間が長くなり、処理速度が低下するという問題点がある。

【 0 0 0 5 】

従って、特に高精細デジタル T V 放送信号のような符号化レートの高い圧縮符号化データを復号しようとする場合は、ブロック単位の処理を短時間で終了させる必要から、この可変長復号器の処理効率の低下を補うために、圧縮画像データ復号処理装置の大部分の処理回路を高速化する必要があり、結果的に装置全体の回路規模が大きくなってしまい、消費電力も増大する。

【 0 0 0 6 】

【発明が解決しようとする課題】

上述したように、従来の圧縮画像データ復号処理装置では、可変長復号器の処理効率の低下により全体として処理速度が遅くなる。従って、符号化レートの高い圧縮画像データを復号しようとする場合には、装置の大部分の処理回路を高速化するため、回路規模の増大と消費電力の増大を招くという問題点があった。

【0007】

本発明は、可変長復号処理の処理効率を効果的に高めることで、零ラン再生以降の処理の高速化を不要として、回路規模の縮小と低消費電力化を図りつつ符号化レートの高い圧縮画像データの復号処理を可能とした圧縮画像データ復号装置を提供することを目的とする。

【0008】

【課題を解決するための手段】

上記の課題を解決するため、本発明は画像信号または該画像信号と予測信号との誤差である予測誤差信号を複数の画素からなるブロック毎に離散コサイン変換して得られたDCT係数を量子化し、所定のスキャンパターンに従ってスキャン変換した後に、零ランレングスとこれに続く非零係数の組を可変長符号化して得られた可変長符号を含む圧縮画像データを復号するために、可変長符号を復号して量子化された零ランレングス及び非零係数を出力する可変長復号部と、この可変長復号部から出力される量子化された零ランレングス及び非零係数を逆量子化する逆量子化部と、逆量子化結果を受けて零ランレングスに応じた数の零係数を生成し、各ブロック毎に逆量子化結果に含まれる非零係数及び生成した零係数をスキャンパターンに従った順序で出力する零ラン再生出力部と、零ラン再生出力部から出力されるDCT係数を逆離散コサイン変換する逆離散コサイン変換部と、この逆離散コサイン変換部からの変換結果に対して動き補償を施して復号再生された画像信号を生成する動き補償部とから構成される圧縮画像データ復号装置において、可変長復号部と零ラン再生出力部との間に、複数のブロックに含まれる非零係数を記憶可能なFIFOメモリ部を設けたことを特徴とする。

【0009】

また、このような基本構成を拡張して、上述した可変長復号部、逆量子化部、零ラン再生出力部及びF I F Oメモリ部からそれぞれ構成される第1、第2の伸張部を設け、これら第1、第2の伸張部内の零ラン再生出力部からそれぞれ出力されるD C T係数を1ブロック毎に交互に一つの逆離散コサイン変換部で逆離散コサイン変換し、この逆離散コサイン変換結果に対して共通の動き補償部で動き補償を施すことにより、復号再生された画像信号を生成するようにしてもよい。

【0010】

このように本発明では、可変長復号部から零ラン再生出力部までの間に、複数のブロックに含まれる非零係数を記憶可能な容量を有するF I F Oメモリ部を設けたことによって、F I F Oメモリより前段の可変長復号部において複数のブロック、例えば所定の複数のブロックからなる1マクロブロック以上にわたって連続的に連続的に処理を行うことができ、零ラン再生処理中にも零ラン再生に関係ないヘッダ情報等のマクロブロックパラメータの復号が可能となるため、装置全体の処理効率が向上し、小規模かつ消費電力の少ない構成で高速の圧縮画像データ復号処理を実現することができる。

【0011】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を説明する。

(第1の実施形態)

図1は、本発明の第1の実施形態に係る圧縮画像データ復号装置の構成を示している。入力端子101には、図示しない画像データ符号化装置によって画像データを例えばM P E G 2方式により圧縮符号化して得られた圧縮画像データ（符号化ビットストリーム）が伝送系または蓄積媒体を介して入力される。この圧縮画像データは、符号化方式がM P E G 2方式の場合を例にとると、次のようにして生成される。

【0012】

まず、符号化すべき動画の画像信号を複数の画素（例えば8画素×8画素）で構成されるブロックに分割した後、各ブロック毎に画像信号または画像信号と予測信号との誤差である予測誤差信号を離散コサイン変換（D C T）する。次に

、DCTによって得られた係数（DCT係数）を所定の量子化幅で量子化し、さらにDCT係数のうち値が零である零係数ができるだけ連続するように所定のスキャンパターンに従ってスキャン変換した後に、零ランレングスを用いた可変長符号化（VLC）を行うことにより、圧縮画像データである符号化ビットストリームが得られる。

【 0 0 1 3 】

この圧縮画像データは、まず可変長復号（VLD）部 1 0 2 に入力され、量子化されたDCT係数に関する可変長符号と各種のパラメータに関する可変長符号が復号される。量子化されたDCT係数に関する可変長符号は、量子化されかつスキャン変換された零係数（値が零のDCT係数）の連続長を示す零ランレングスと、これに続く非零係数（値が非零のDCT係数）の組を可変長符号化したものである。可変長復号部 1 0 2 は、可変長符号を復号する毎に復号結果を出力し、DCT係数に関する可変長符号の復号時には可変長符号を一つ復号する毎に、量子化された零ランレングスと非零係数を復号結果として出力する。

【 0 0 1 4 】

可変長復号部 1 0 2 から出力される復号結果のうち、DCT係数に関する可変長符号の復号結果である量子化された零ランレングス及び非零係数は、逆量子化（IQ）部 1 0 4 によって逆量子化される。可変長復号部 1 0 2 は、逆量子化部 1 0 3 が復号結果の受け取りを許可しないときは、その出力を 1 係数単位で停止する。

【 0 0 1 5 】

逆量子化部 1 0 3 では、可変長復号部 1 0 2 から零ランレングスを受け取る毎にその零ランレングスを累算すると共に“1”を加算して非零係数の係数位置を示すスキャンアドレス情報を生成し、そのスキャンアドレス情報と画像データ符号化装置におけるスキャン変換時のスキャンパターンを示すスキャンパターン情報に基づき、非零係数の係数位置毎に対応する量子化幅データを生成する。そして、この量子化幅データと可変長復号部 1 0 2 から零ランレングスに続いて受け取った非零係数との乗算により、逆量子化処理を行う。量子化幅データは、画像データ符号化装置においてDCT係数を量子化した際の量子化幅を示すデータで

ある。逆量子化部 1 0 3 内のスキャンアドレス生成回路については、後に詳しく説明する。

【 0 0 1 6 】

また、逆量子化部 1 0 3 では可変長復号部 1 0 2 からブロックの終了を示すブロック終了信号を受け取った時点で、ブロックの最終位置の D C T 係数が存在しない場合は、ブロックの最終 D C T 係数として零係数を生成することで、いわゆる I D C T ミスマッチコントロール処理を行う。そして、逆量子化部 1 0 3 は逆量子化結果である I D C T ミスマッチコントロール処理を行った後の D C T 係数とその D C T 係数の位置を示すスキャンアドレス情報及びスキャンパターン情報の各データを次段の F I F O (first-in first-out ; 先入れ先出し) メモリ部 1 0 4 に出力する。なお、逆量子化部 1 0 3 は F I F O メモリ部 1 0 4 がこれらのデータの受け取りを許可しない場合は、その出力を 1 係数単位で停止する。

【 0 0 1 7 】

F I F O メモリ部 1 0 4 は、本発明に基づいて新たに設けられたものであり、画像データの 1 ブロック毎に可変長復号部 1 0 2 に対して停止要求が出されるのを緩和し、可変長復号部 1 0 2 が 1 マクロブロック (6 ブロック) にわたり連続して可変長復号処理動作を可能にするために、1 2 8 個程度の D C T 係数データを記憶可能な容量を有し、逆量子化部 1 0 3 からの逆量子化結果 (I D C T ミスマッチコントロール処理後の D C T 係数) とスキャンアドレス情報及びスキャンパターン情報の各データを記憶する。より具体的には、F I F O メモリ部 1 0 4 は D C T 係数のうちの有効係数 (非零係数及び最高周波数成分の係数) とスキャンアドレスのデータを逆量子化部 1 0 3 から受け取る毎に、これら有効係数とスキャンアドレス情報を組にしてスキャンパターン情報と共に記憶し、その空き容量が所定値 (例えば、零) に達すると、逆量子化部 1 0 3 からの出力データの受け取りを拒否するように、図示しない制御部により制御される。

【 0 0 1 8 】

また、F I F O メモリ部 1 0 4 においては 1 ブロック分の有効係数が書き込まれた後に、書き込まれた順序で有効係数の読み出しが開始され、記憶された有効係数が零になった時点、または後段の零ラン再生出力処理部 1 0 5 がデータの受

け取りを許可しないときに読み出しが停止される。

・【0019】

零ラン再生処理部105は、零ラン再生部106とブロックバッファ107で構成される。零ラン再生部106は、後に詳しく説明するように、1クロック毎に内部のスキャンアドレスカウンタを1つずつインクリメントさせ、FIFOメモリ部104から受け取ったスキャンアドレスと内部のスキャンアドレスカウンタの出力値が一致するまでFIFOメモリ部104から次のデータ入力を拒否し、その間は出力を零にすることで、零ランレングスに応じた個数の零係数を生成する。そして、生成した零係数とFIFOメモリ部104から受け取った有効係数をスキャンパターン情報及びスキャンアドレスカウンタの出力値と共に出力する。

【0020】

ブロックバッファ107はDCT係数記憶部であり、1ブロック分のDCT係数（非零係数）を記憶可能な係数メモリ（RAM）を有し、零ラン再生部106から受け取った1ブロックの全てのDCT係数を該係数メモリの所定のアドレスに書き込み、1ブロックの全てのDCT係数の約60%（58～62%）の書き込み終了後に、1ブロック毎に2個ずつDCT係数を係数メモリから読み出す。例えば、MPEG2方式に基づく圧縮画像データでは1ブロックに64個のDCT係数が含まれるので、係数メモリに39～42個程度の数のDCT係数の書き込みを行った後、2個ずつDCT係数を係数メモリから読み出すことになる。これによりMPEG2方式に基づく圧縮画像データの復号においては、[表1]に示す第1のスキャンパターン（ジグザグパターン）及び[表2]に示す第2のスキャンパターンのいずれにおいても、図3に示す順序で1ブロックの全てのDCT係数を2個ずつ連続して読み出すことが可能となる。

【0021】

【表 1】

alternate_scan 0 (zig-zag-scan)

v \ u	0	1	2	3	4	5	6	7
0	0	1	5	6	14	15	27	28
1	2	4	7	13	16	26	29	42
2	3	8	12	17	25	30	41	43
3	9	11	18	24	31	40	44	53
4	10	19	23	32	39	45	52	54
5	20	22	33	38	46	51	55	60
6	21	34	37	47	50	56	59	61
7	35	36	48	49	57	58	62	63

【 0 0 2 2 】

【表 2】

alternate_scan 1

v \ u	0	1	2	3	4	5	6	7
0	0	4	6	20	22	36	38	52
1	1	5	7	21	23	37	39	53
2	2	8	19	24	34	40	50	54
3	3	9	18	25	35	41	51	55
4	10	17	26	30	42	46	56	60
5	11	16	27	31	43	47	57	61
6	12	15	28	32	44	48	58	62
7	13	14	29	33	45	49	59	63

【 0 0 2 3 】

【表 3】

2 次元 DCT 係数の出力順序

出力	v \ u	0	1	2	3	4	5	6	7
IQDT[23:12]	0	2	6	10	14	18	22	26	30
IQDT[11: 0]	1	2	6	10	14	18	22	26	30
IQDT[23:12]	2	0	4	8	12	16	20	24	28
IQDT[11: 0]	3	0	4	8	12	16	20	24	28
IQDT[23:12]	4	3	7	11	15	19	23	27	31
IQDT[11: 0]	5	1	5	9	13	17	21	25	29
IQDT[23:12]	6	1	5	9	13	17	21	25	29
IQDT[11: 0]	7	3	7	11	15	19	23	27	31

【0 0 2 4】

ここで、1 ブロックの有効係数がスキャン順序の後半に集中して DCT 係数の読み出し開始が遅れる最悪ケースにおいて、可変長復号部 1 0 2 が 1 マクロブロック（6 ブロック）連続して処理を行うのに必要な F I F O メモリ部 1 0 4 の記憶容量を調べると、【表 4】に示すようにその必要な容量の最大値は 1 ブロック当たりの有効係数（非零係数 + E O B）が 3 2 個の場合の 1 2 8 ワード（2 ブロック分の容量）となる。

【0 0 2 5】

【表 4】

1 ブロックあたり有効係数と VLD 処理部の
6 ブロック連続処理に必要な FIFO 容量 (word 数)

有効係数	1	2	3	4	5	6	7	8
必要容量	6	12	18	24	30	36	42	48
有効係数	9	10	11	12	13	14	15	16
必要容量	54	60	64	64	65	70	75	80
有効係数	17	18	19	20	21	22	23	24
必要容量	85	90	95	100	105	106	105	104
有効係数	25	26	27	28	29	30	31	32
必要容量	103	104	108	112	116	120	124	128
有効係数	33	34	35	36	37	38	39	40
必要容量	126	124	122	120	118	116	117	120
有効係数	41	42	43	44	45	46	47	48
必要容量	123	126	127	124	121	118	115	112
有効係数	49	50	51	52	53	54	55	56
必要容量	109	106	103	104	106	104	100	96
有効係数	57	58	59	60	61	62	63	64
必要容量	92	88	84	80	76	72	68	64

【0 0 2 6】

但し、実際には逆量子化部 1 0 3 にも複数のパイプラインレジスタが存在するので、F I F O メモリ部 1 0 4 のメモリ容量は 1 2 8 ワードより若干少なくともよい。また、【表 5】に示すように 1 マクロブロックが 8 ブロックで構成される場合は、F I F O メモリ部 1 0 4 の容量を 1 6 0 ワード (2. 5 ブロック分の容量) 程度にすることにより、可変長復号部 1 0 2 は 1 マクロブロック分の圧縮画像データを連続的に可変長復号処理することが可能となる。

【0 0 2 7】

【表 5】

1 ブロックあたり 32 有効係数の場合で
VLD 処理部の連続処理ブロック数と FIFO 必要容量

ブロック 番号	1	2	3	4	5	6	7	8	9	10	11
入力 係数	32	32	32	32	32	32	32	32	32	32	32
出力 係数	0	0	32	0	32	0	32	0	32	0	32
必要 容量	32	64	64	96	96	128	128	160	160	192	192

【0028】

零ラン再生出力部 105 内のブロックバッファ 107 から出力される DCT 係数は、逆離散コサイン変換 (IDCT) 部 108 により逆離散コサイン変換された後、動き補償 (MC) 部 109 に入力される。動き補償部 109 は、パラメータ抽出部 110 から入力される動きベクトル及び予測モード情報といったパラメータを受け、フレームメモリ 111 に格納されている既に復号された画像信号を参照画像信号として動き補償を行い、予測信号を生成する。この予測信号はフレームメモリ 111 に書き込まれ、このフレームメモリ 111 から復号画像信号が出力端子 112 を介して出力される。

【0029】

なお、本実施形態では FIFO メモリ部 104 を逆量子化部 103 の後段に配置したが、可変長復号部 102 と逆量子化部 103 との間に配置してもよい。要するに、FIFO メモリ部 104 の位置は可変長復号部 102 と零ラン再生出力処理部 105 との間であればよい。

【0030】

次に、図 2 を参照して図 1 の逆量子化部 103 内のスキャンアドレス生成回路について説明する。

入力端子 201 には DCT 係数 (DCTcoefin)、入力端子 202 には有効／無効情報 (VLDVAL)、入力端子 203 には各ブロックの終了を示すブロック終了情報 (E

0B)、入力端子 2 0 4 には零ランレングス(RUN)、入力端子 2 0 5 にはスキャンパターン情報(ALTSCAN)が可変長復号部 1 0 2 からそれぞれ入力される。有効／無効情報(VLDVAL)は、D C T 係数(DCTcoefin)と零ランレングス(RUN)及びスキャンパターン情報(ALTSCAN)が有効か無効かを表す情報であり、この例では“1”のとき有効を示す。ブロック終了信号(EOB)は、“1”のときブロックの終了を示す 1 クロック幅の信号である。

【 0 0 3 1 】

スキャンアドレス生成回路はANDゲート 2 0 6、2 0 7、ORゲート 2 0 8、2 0 9、加算器 2 1 0、NANDゲート 2 1 1、レジスタ 2 1 2～2 1 5 及び係数位置変換テーブル 2 1 6 から構成される。

【 0 0 3 2 】

初期状態では、レジスタ 2 1 2 の全出力ビット (6 ビット) が “1” となっている。レジスタ 2 1 2 は、有効／無効情報(VLDVAL)とブロック終了情報(EOB)との論理和が “1” のときにのみ、入力データを取り込む。すなわち、この場合は加算器 2 1 0 により零ランレングス(RUN)の有効な値に “1” を累算した値がORゲート 2 0 9 を介してレジスタ 2 1 2 に取り込まれ、出力端子 2 2 3 よりスキャンアドレス(scanadr)として出力される。

【 0 0 3 3 】

ブロック終了情報(EOB)が入力されると、ANDゲート 2 0 6 はD C T 係数(DCTcoefin)に関わらず出力を “0” にし、レジスタ 2 1 3 を介してD C T 係数(DCTcoefout)として出力端子 2 2 1 へ出力する。また、ブロック終了信号(EOB)が入力されると、ORゲート 2 0 9 は加算器 2 1 0 の全出力ビット (6 ビット) を “1” に変換してレジスタ 2 1 2 に出力し、レジスタ 2 1 2 はORゲート 2 0 9 の出力をブロック終了信号(EOB)と共に取りこむ。これにより出力端子 2 2 3 からは、初期状態と同じく最終スキャンアドレスを示すスキャンアドレス情報(scanadr)が出力される。この場合、レジスタ 2 1 2 が取り込んだブロック終了情報(EOB)に対する出力データは (1 ビット) は、初期状態を示すフラグとなる。

【 0 0 3 4 】

係数位置変換テーブル 2 1 6 は、レジスタ 2 1 2 から出力されるスキャンアド

レス情報(scanadr)及びレジスタ215を介して入力されるスキャンパターン情報(ALTSCAN)に基づいて、係数位置に対応する量子化幅データ読み出し用アドレス情報(IQADR)を生成する。量子化幅データ読み出し用アドレス情報(IQADR)は、出力端子224を介して逆量子化部103内の図示しない量子化幅データメモリに供給され、量子化幅データの読み出しに用いられる。

【0035】

NANDゲート211は、レジスタ212から出力されるスキャンアドレス情報(scanadr)の全ビットが“1”で、かつブロック終了情報(EOB)が“1”のときのみ、“0”を出力する。ANDゲート207は、ORゲート208の出力とNANDゲート211の出力の論理積を出力する。ANDゲート207の出力は、レジスタ214を介して出力端子222より有効/無効情報(valid)として出力される。

【0036】

有効/無効情報(valid)は、出力端子221より出力されるDCT係数(DCTcoefout)、出力端子223より出力されるスキャンアドレス情報(scanadr)、出力端子224より出力される量子化幅データ読み出し用アドレス情報(IQADR)及び出力端子225より出力されるスキャンパターン情報(altsan)が有効か無効かを示す情報である。すなわち、ブロック終了情報(EOB)が入力されたとき、初期状態を含んでスキャンアドレス情報(scanadr)の最終位置に非零係数が存在しない場合は、出力端子221へ出力するDCT係数(DCTcoefout)の値零が有効となり、スキャンアドレス情報(scanadr)の最終位置に非零係数が存在する場合は、出力端子221へ出力されるDCT係数(DCTcoefout)の値零が無効となる。

【0037】

逆量子化部103では、こうして図2のスキャンアドレス生成回路の出力端子221から出力されるDCT係数(DCTcoefout)（非零係数）に、出力端子224から出力される量子化幅データ読み出しアドレス情報(IQADR)に従って量子化幅データメモリから読み出された量子化幅データが乗じられることにより、逆量子化処理が行われる。

【0038】

次に、図 3 を参照して零ラン再生出力処理部 1 0 5 の具体的な構成例について説明する。

入力端子 3 0 1 には有効／無効情報(validin)、入力端子 3 0 2 にはスキャンアドレス情報(scanadr)、入力端子 3 0 3 にはスキャンパターン情報(altscan)、入力端子 3 0 4 には D C T 係数(DCTcoefin)がそれぞれ図 1 の逆量子化部 1 0 3 から F I F O メモリ部 1 0 4 を介して入力される。有効／無効情報(validin)は、レジスタ 3 0 5 に保持される。このレジスタ 3 0 5 に保持された有効／無効情報(validin)が有効のとき、カウンタ制御部 3 0 9 はスキャンアドレスカウンタ 3 1 0 を 1 クロック毎にカウントアップさせる。

【 0 0 3 9 】

スキャンアドレス情報(scanadr)はレジスタ 3 0 6 に保持され、このレジスタ 3 0 6 に保持されたスキャンアドレス情報(scanadr)の値とスキャンアドレスカウンタ 3 1 0 の出力値が不一致検出回路 3 1 1 で比較され、不一致のとき“1”、一致のとき“0”がそれぞれ出力される。不一致検出回路 3 1 1 の出力は、NANDゲート 3 1 2 に入力される。NANDゲート 3 1 2 は、レジスタ 3 0 5 に保持された有効／無効情報(validin)が有効の状態で、スキャンアドレス情報(scanadr)の値とスキャンアドレスカウンタ 3 1 0 の出力値が不一致かどうかを調べ、不一致のとき“0”、一致のとき“1”をそれぞれ出力する。NANDゲート 3 1 2 の出力は、ANDゲート 3 1 3 に入力される。

【 0 0 4 0 】

ANDゲート 3 1 3 は、カウンタ制御部 3 0 9 によるデータ要求停止時、またはレジスタ 3 0 5 を介して入力される有効／無効情報(validin)が有効の状態で、スキャンアドレス情報(scanadr)の値とスキャンアドレスカウンタ 3 1 0 の出力値が不一致のとき、その出力すなわち出力端子 3 2 1 から図 1 の F I F O メモリ部 1 0 4 へ出力するデータ要求(datareqout)を“0”とする。これにより F I F O メモリ部 1 0 4 からのデータ入力を中断すると共に、入力端子 3 0 4 からレジスタ 3 0 8 を介して入力された D C T 係数(DCTcoefin)の値を ANDゲート 3 1 4 の出力では零とする。

【 0 0 4 1 】

アドレス変換テーブル315は、入力端子303からレジスタ307を介して入力されるスキャンパターン情報(altscan)とスキャンアドレスカウンタ310の出力値に基づいて、それぞれ半ブロック分の記憶容量を有するRAM(半ブロック係数メモリという)316, 317のいずれか一方を選択する書き込みメモリ選択信号と書き込みアドレスを出力する。ここでは書き込みイネーブル信号については図示を省略しているが、有効/無効情報(validin)が有効であるときのみカウンタ制御部309から出力される書き込み制御信号とアドレス変換テーブル315から出力される書き込みメモリ選択信号に基づいて、書き込みイネーブル信号が生成される。この書き込みアドレスイネーブル信号に従って、入力端子304からレジスタ308を介してANDゲート314に入力されたDCT係数(DCTcoefin)が書き込みメモリ選択信号に従って選択された半ブロックメモリ316, 317のいずれかに書き込まれる。半ブロックメモリ316, 317の書き込みアドレスは、アドレス変換テーブル315によって与えられる。

【0042】

半ブロックメモリ316, 317はも図1のブロックバッファ107内の前述した係数メモリであり、それぞれの半ブロック分の記憶容量は、具体的にはそれぞれDCT係数32個分に相当する。カウンタ制御部309は、入力端子323を介して図1の逆離散コサイン変換部108からのデータ要求(datareqin)を受け取ると、読み出しカウンタ318を1クロック毎にカウントアップさせ、半ブロックメモリ316, 317にそれぞれ書き込まれたDCT係数の読み出しを32クロックで完了させる。

【0043】

また、カウンタ制御部309は半ブロックメモリ316, 317の合計の空き容量がDCT係数4個分以上であれば、DCT係数15個程度までの新しいブロックのDCT係数の書き込みを許可し、直前のブロックのDCT係数の読み出しが完了したときに書き込み制限を解除し、新しいブロックのDCT係数の読み出し開始は、そのブロックの40個のDCT係数の書き込み完了後に行う。

【0044】

このように本実施形態によると、可変長復号部102と零ラン再生出力処理部

1 0 5 の間に複数のブロック（例えば 1 マクロブロックを構成する 6 ブロック＝1 2 8 ワード）に含まれる非零係数を記憶可能な F I F O メモリ部 1 0 4 を設けることによって、F I F O メモリ部 1 0 4 の前段の可変長復号部 1 0 2 及び逆量子化部 1 0 3 において 1 マクロブロックあるいはそれ以上にわたって連続的に、可変長符号の復号処理及び可変長復号結果の逆量子化処理を行うことができる。

【 0 0 4 5 】

すなわち、従来のように非零係数の少ないブロックで 1 ブロック毎の復号処理が短時間で終了した場合のように、可変長復号処理がブロック毎に頻繁に中断することがなく、圧縮画像データ復号装置全体の処理効率が向上する。従って、回路規模の増大や消費電力の増大を伴うことなく高速化を達成できる。

【 0 0 4 6 】

また、本実施形態では零ラン再生出力処理部 1 0 5 に複数の D C T 係数、例えば 1 ブロックに含まれる 6 4 個の D C T 係数（非零係数）を記憶可能な容量を持つブロックバッファ 1 0 7 （D C T 係数記憶部）を設け、逆量子化部 1 0 3 から F I F O 部 1 0 4 を介して零ラン再生出力処理部 1 0 5 に入力された逆量子化結果に含まれる非零係数及び零ラン再生処理部 1 0 6 で生成された零係数をブロックバッファ 1 0 7 に書き込み、スキャンパターンに応じた所定の順序で書き込み時より高速で例えば 2 係数ずつ読み出してレート変換を行うことにより、零ラン再生後の D C T 係数を処理速度の速い逆離散コサイン変換部 1 0 8 に直接入力することができる。

【 0 0 4 7 】

この場合、特に本実施形態ではブロックバッファ 1 0 7 に例えば 1 ブロックを構成する 6 4 個の D C T 係数のうちの約 6 0 %（5 8 ～ 6 2 %）の書き込み終了後に、書き込み速度の約 2 倍の速度で読み出すことによって、2 種類のスキャンパターンのいずれのパターンでも 1 ブロックの D C T 係数を連続して出力できるため、出力遅延が小さく、制御系の構成も簡単となる。

【 0 0 4 8 】

また、本実施形態によれば、逆量子化部 1 0 3 では可変長復号部 1 0 2 からブロック終了情報 (E0B) を受けたときにブロックの最終係数位置に非零係数が存在

しない場合にのみ、最終係数位置に零係数を挿入して出力するようにしており、有効係数として挿入する零係数はスキャン順序で最終係数が存在しない場合のみであるため、出力される有効係数はMPEG2方式でのIDCTミスマッチコントロール処理に必要な最小限の個数となる。

【0049】

しかも、逆量子化部103からの出力のうち最終係数位置のスキャンアドレス情報(altscan)がブロック終了情報を示すため、逆量子化部103からブロック終了情報を特別にFIFOメモリ部104に出力する必要がなく、FIFOメモリ部104に書き込むデータの個数、すなわちFIFOメモリ部104の記憶容量を必要最小限に止めることができる。

【0050】

さらに、零ラン再生出力処理部105においては、ブロックバッファ107内の1ブロック分のデータを予め零に書き換えてから有効係数のみを上書きするのではなく、スキャンアドレスカウンタ310の出力値とFIFOメモリ部104から受け取るスキャンアドレス情報(scanadr)との不一致により零係数を生成するため、ブロックバッファ107への書き込み回数が必要最小限で済み、ブロックバッファ107にポート数の少ないメモリを使用することが可能となる。

【0051】

(第2の実施形態)

図4に、本発明の第2の実施形態に係る圧縮画像データ復号装置の構成を示している。本実施形態は、イントラブロックのDC成分の再生にDPCM(差分PCM符号化)の復号が必要な場合に適する例である。図1と同一の部分に同一符号を付して説明すると、本実施形態では図1に示した第1の実施形態の構成にイントラDC再生部113が追加されている。

【0052】

このイントラDC再生部113は、逆量子化部103での逆量子化処理と並行してイントラブロックのDCT係数のDC成分の再生を行い、その結果を逆量子化部103からの逆量子化結果と共にFIFOメモリ部104に出力する。このような構成とすることにより、DC成分の再生による逆量子化部103の処理遅

延の増加を回避することができるという利点がある。

・ 【 0 0 5 3 】

(第 3 の実施形態)

図 5 は、本発明の第 3 の実施形態に係る圧縮画像データ復号装置の構成を示す図である。本実施形態は、特に高精細デジタル TV 放送信号の圧縮画像データの復号に適した構成であり、二組の伸張処理部 1 2 0 a, 1 2 0 b と二組のパラメータ抽出部 1 1 0 a, 1 1 0 b を有する。

【 0 0 5 4 】

伸張処理部 1 2 0 a, 1 2 0 b は、それぞれ図 1 に示した可変長復号部 1 0 2、逆量子化部 1 0 3、F I F O メモリ部 1 0 4 及び零ラン再生出力処理部 1 0 5 (零ラン再生部 1 0 6 及びブロックバッファ 1 0 7) を含んで構成され、場合によっては図 4 に示したイントラ D C 再生部 1 1 3 をさらに含んでもよい。

【 0 0 5 5 】

これらの伸張処理部 1 2 0 a, 1 2 0 b は、一つの圧縮画像データ (符号化ビットストリーム) をスライス単位またはピクチャ単位で 2 分割したデータが入力端子 1 0 1 a, 1 0 1 b を介してそれぞれ入力されることにより、第 1、第 2 の実施形態と同様に零ラン再生出力処理部 1 0 5 における零ラン再生部 1 0 6 の出力速度の 2 倍で係数メモリであるブロックバッファ 1 0 7 から D C T 係数を出力する。

【 0 0 5 6 】

一方、伸張処理部 1 2 0 a, 1 2 0 b にそれぞれ対応して設けられたパラメータ抽出部 1 1 0 a, 1 1 0 b は、伸張処理部 1 2 0 a, 1 2 0 b 内の可変長復号部 1 0 2 が 1 マクロブロック分の復号処理を完了する毎に、そのマクロブロックに関するパラメータを動き補償部 1 1 1 に出力する。

【 0 0 5 7 】

伸張処理部 1 2 0 a, 1 2 0 b からブロック毎に交互に出力される D C T 係数は逆離散コサイン変換部 1 0 9 により逆離散コサイン変換された後、動き補償部 1 1 1 に入力される。なお、逆離散コサイン変換部 1 0 9 が D C T 係数を受け取る予定の伸張処理部 1 2 0 a, 1 2 0 b から D C T 係数が出力されない場合は、

逆離散コサイン変換部 1 0 9 は出力開始がより早く可能となった方の伸張処理部から D C T 係数を受け取って逆離散コサイン変換を行う。また、動き補償部 1 1 1 が逆離散コサイン変換結果の受け取りを許可しない場合は、逆離散コサイン変換部 1 0 9 は受け取りが許可されたとき直ちにブロック単位で出力可能な状態で停止する。

【 0 0 5 8 】

動き補償部 1 1 1 は、二つのパラメータ抽出部 1 1 0 a, 1 1 0 b からマクロブロック毎にマクロブロックパラメータを受け取り、マクロブロック毎に交互にマクロブロックパラメータを選択して、逆離散コサイン変換部 1 0 9 からの逆離散コサイン変換結果に対してマクロブロックパラメータに応じた動き補償処理（参照画像信号を用いた予測信号の生成処理）を行い、1 マクロブロック分の予測信号用メモリに一時記憶する。

【 0 0 5 9 】

また、動き補償部 1 1 1 はパラメータ抽出部 1 1 0 a, 1 1 0 b のいずれからマクロブロックパラメータの受け取りが完了していない場合は、逆離散コサイン変換部 1 0 9 からの逆離散コサイン変換結果のうち、先にマクロブロックパラメータの受け取りが完了した方について動き補償処理を行う。

【 0 0 6 0 】

そして、動き補償部 1 1 1 は 2 マクロブロック分以上の逆離散コサイン変換結果を記憶可能な I D C T 用メモリを有し、輝度信号または色差信号の逆離散コサイン変換結果が揃う毎に、その逆離散コサイン変換結果と予測信号用メモリに一次記憶された予測信号を加算して、フレームメモリ 1 1 2 に出力する。

【 0 0 6 1 】

フレームメモリ 1 1 2 は、復号再生された複数の画面の画像信号を記憶するメモリであり、動き補償部 1 1 1 で使用する参照画像信号を一次記憶すると共に、符号化画面順序で復号再生した画像信号を表示画面順序で読み出されることにより出力端子 1 1 3 へ出力する。

【 0 0 6 2 】

このように本実施形態によると、高速化が困難な可変長復号部、逆量子化部、

零ラン再生部をそれぞれ含む二つの伸張処理部 1 2 0 a, 1 2 0 b を設け、高速化が容易な逆離散コサイン変換部 1 0 9 及び動き補償部 1 1 1 についてはそれぞれ一つだけ設けることによって、より小規模な構成で高精細デジタルTV放送信号の圧縮画像データのような高速の圧縮画像データ復号処理を実現することが可能となる。

【 0 0 6 3 】

また、本実施形態によると逆離散コサイン変換部 1 0 9 が二つの伸張処理部 1 2 0 a, 1 2 0 b から出力される D C T 係数をブロック単位で切り替えて逆離散コサイン変換処理を行い、直接出力するため、逆離散コサイン変換部 1 0 9 での処理遅延も小さく、単純な回路構成とすることができる。

【 0 0 6 4 】

【発明の効果】

以上説明したように、本発明によれば可変長復号処理部と零ラン再生出力処理部との間に、複数のブロックに含まれる非零係数を記憶可能な F I F O メモリ部を介在させることにより、可変長復号処理の処理効率を効果的に高めることができ、零ラン再生以降の処理の高速化を不要として、回路規模の縮小と低消費電力化を図りつつ符号化レートの高い圧縮画像データの復号処理が可能な圧縮画像データ復号処理装置を提供することができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施形態に係る圧縮画像データ復号装置の構成を示すブロック図

【図 2】 同実施形態における逆量子化処理部内のスキャンアドレス生成回路の具体的な構成を示す回路図

【図 3】 同実施形態における零ラン再生出力処理部の具体的な構成を示す回路図

【図 4】 本発明の第 2 の実施形態に係る圧縮画像データ復号装置の構成を示すブロック図

【図 5】 本発明の第 3 の実施形態に係る圧縮画像データ復号装置の構成を示すブロック図

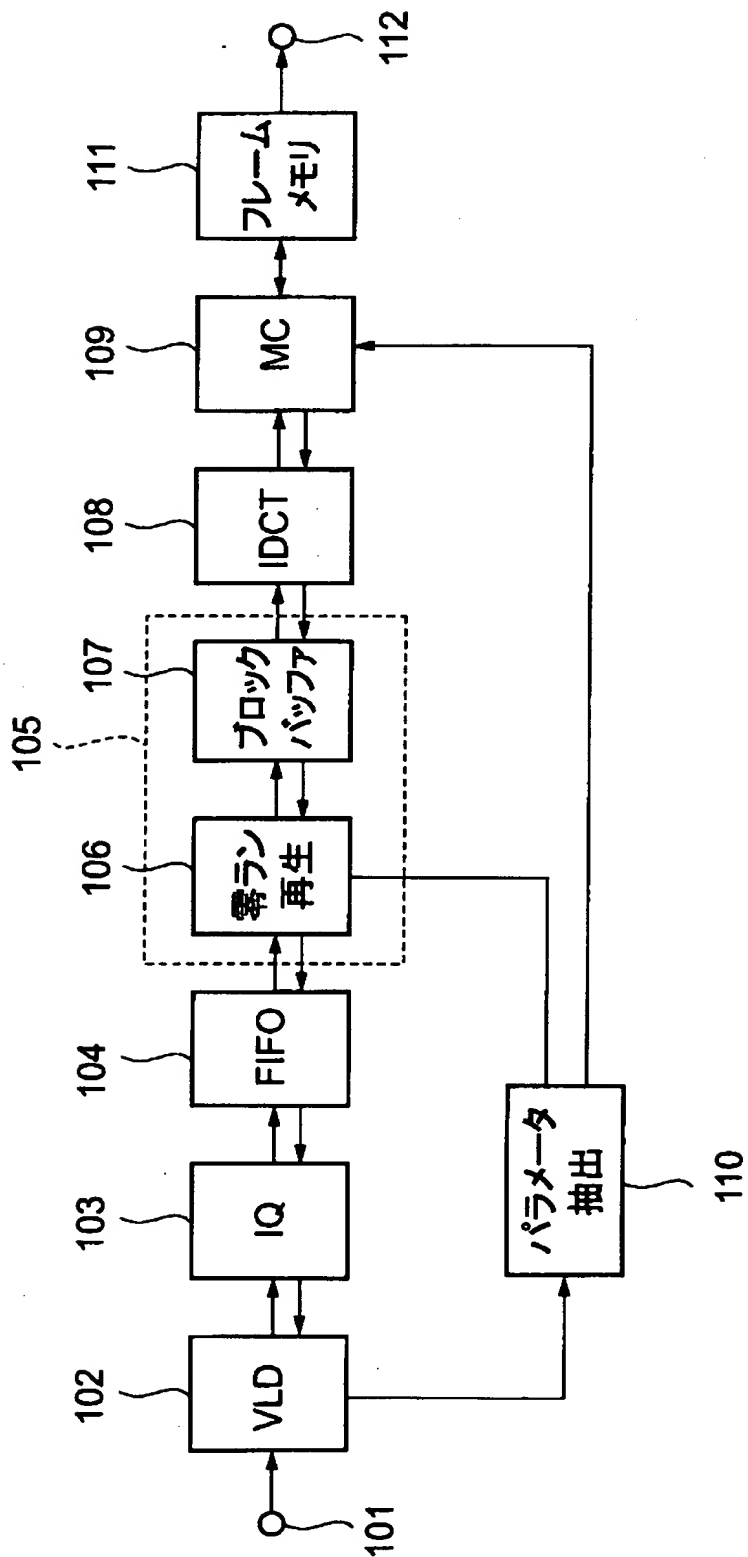
【符号の説明】

- 1 0 1 … 圧縮画像データ（符号化ビットストリーム）入力端子
- 1 0 2 … 可変長復号部
- 1 0 3 … 逆量子化部
- 1 0 4 … F I F O メモリ部
- 1 0 5 … 零ラン再生出力処理部
- 1 0 6 … 零ラン再生部
- 1 0 7 … ブロックバッファ（D C T 係数記憶部）
- 1 0 8 … 逆離散コサイン変換部
- 1 0 9 … 動き補償部
- 1 1 0, 1 1 0 a, 1 1 0 b … パラメータ抽出部
- 1 1 1 … フレームメモリ
- 1 1 2 … 復号画像信号出力端子
- 1 1 3 … イントラ D C 再生部
- 1 2 0 a, 1 2 0 b … 伸張処理部

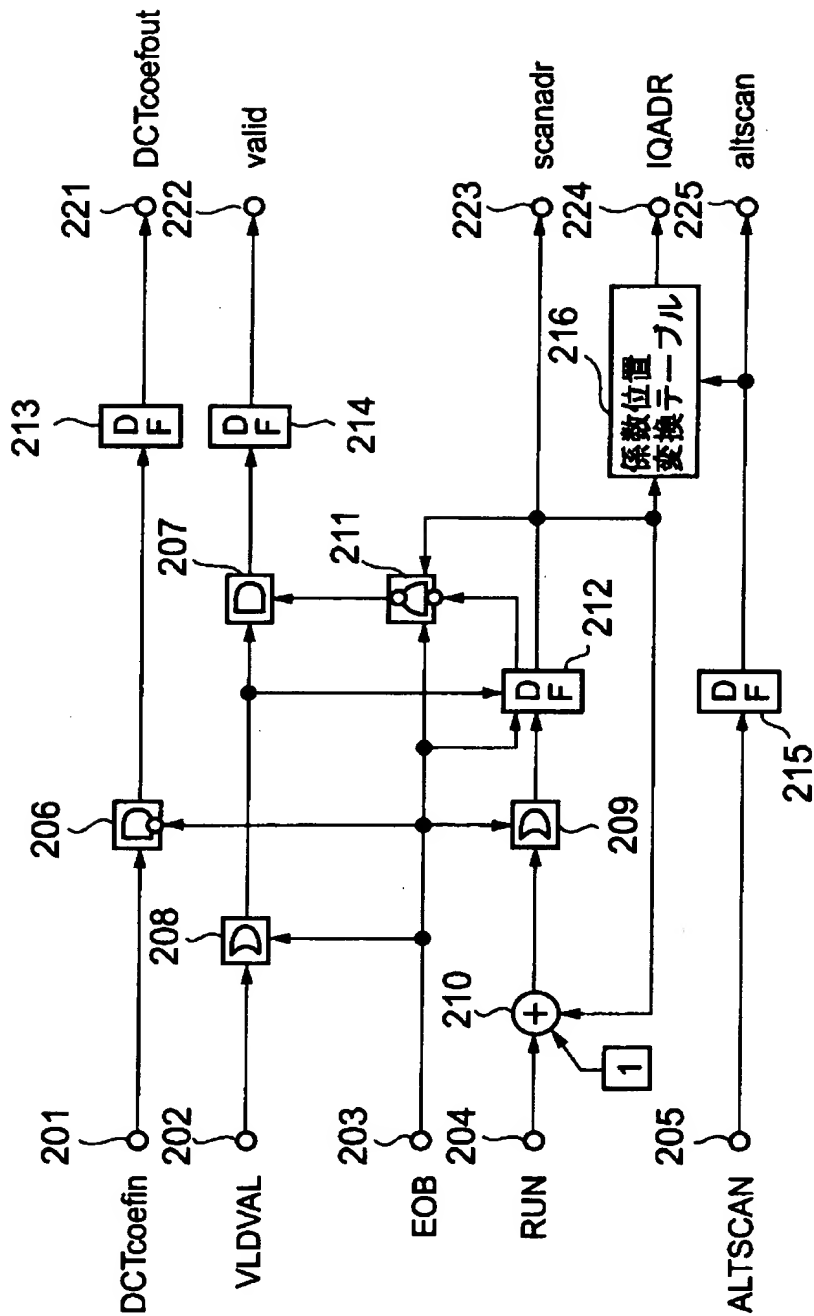
【書類名】

図面

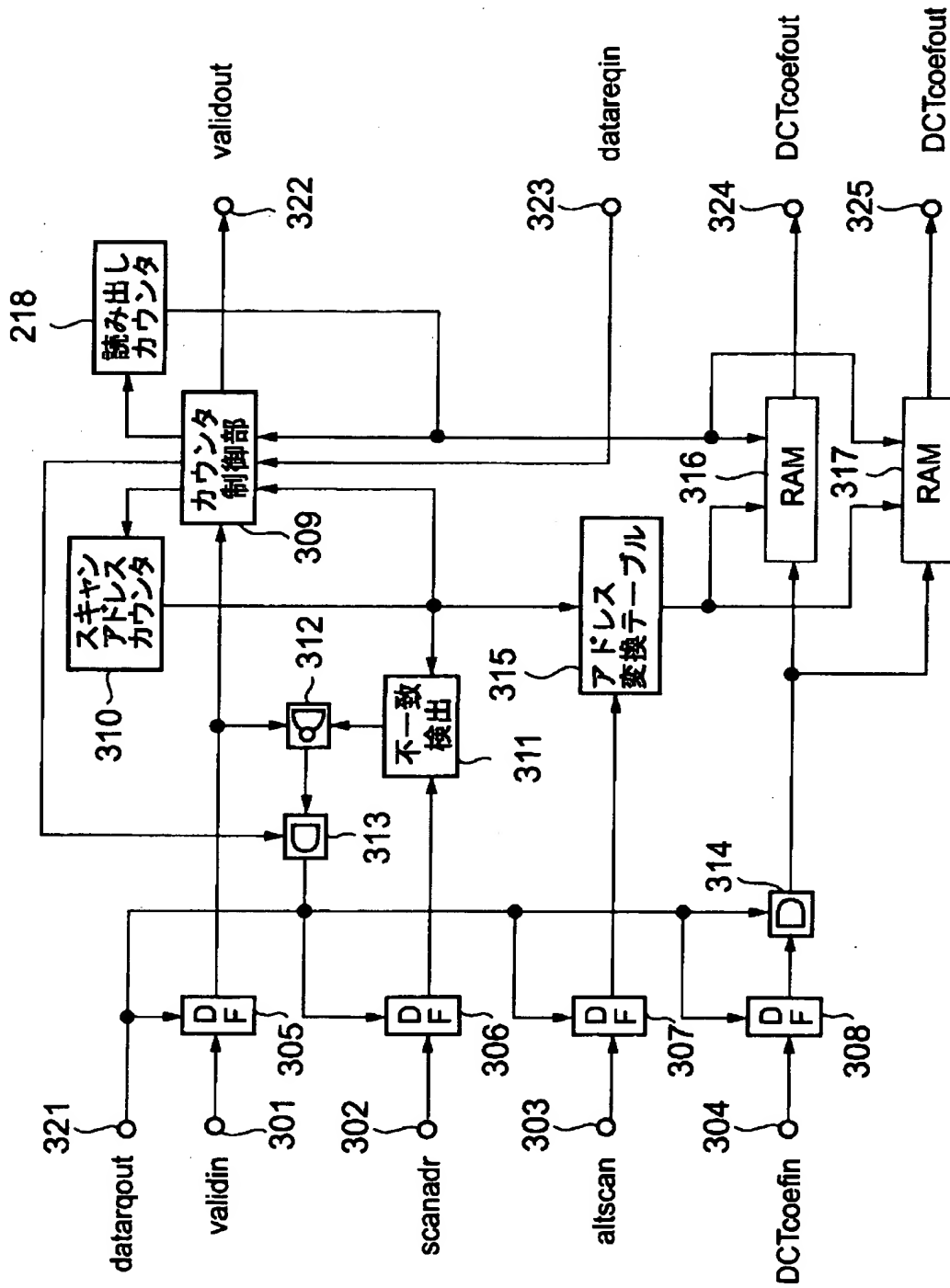
【図 1】



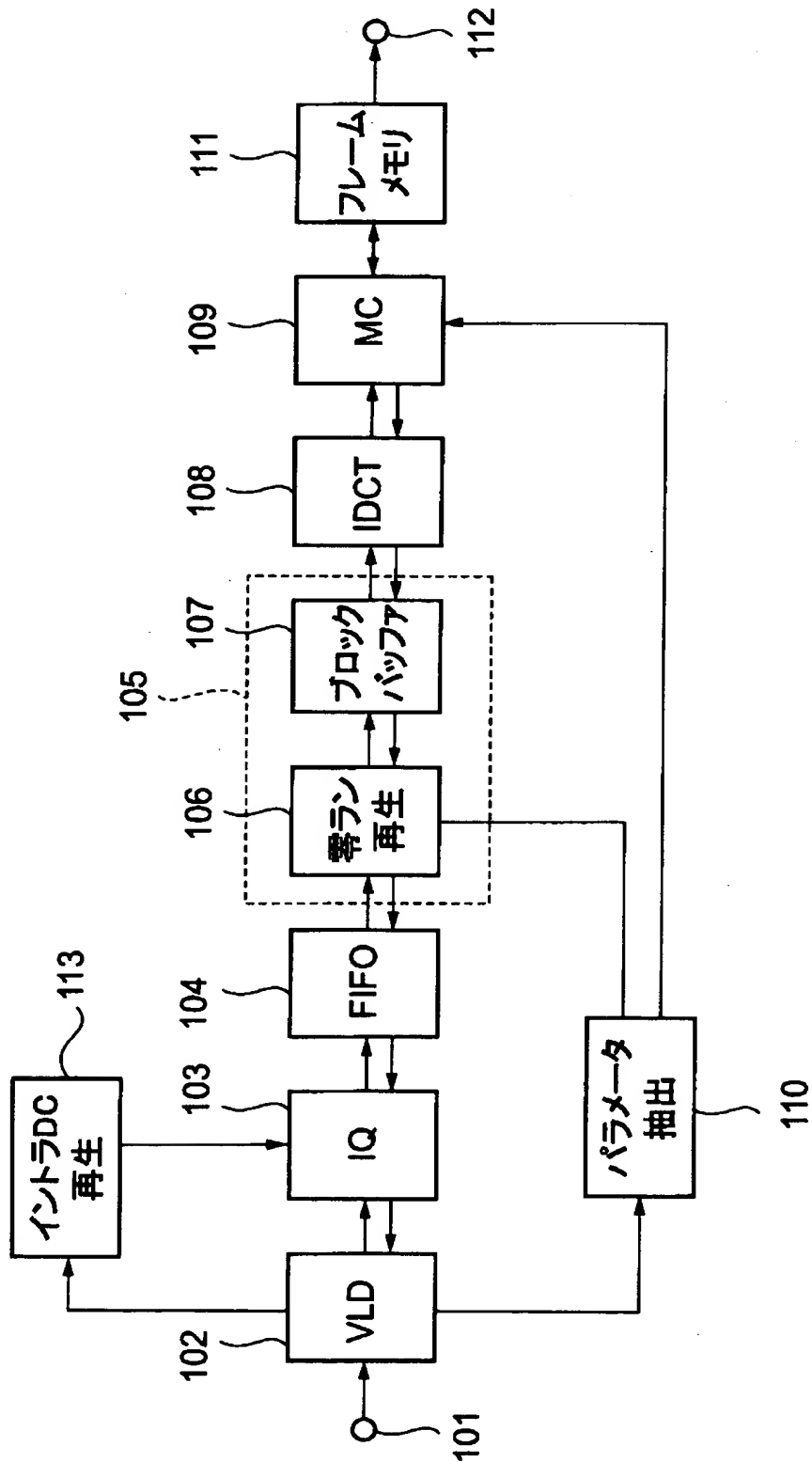
【図 2】



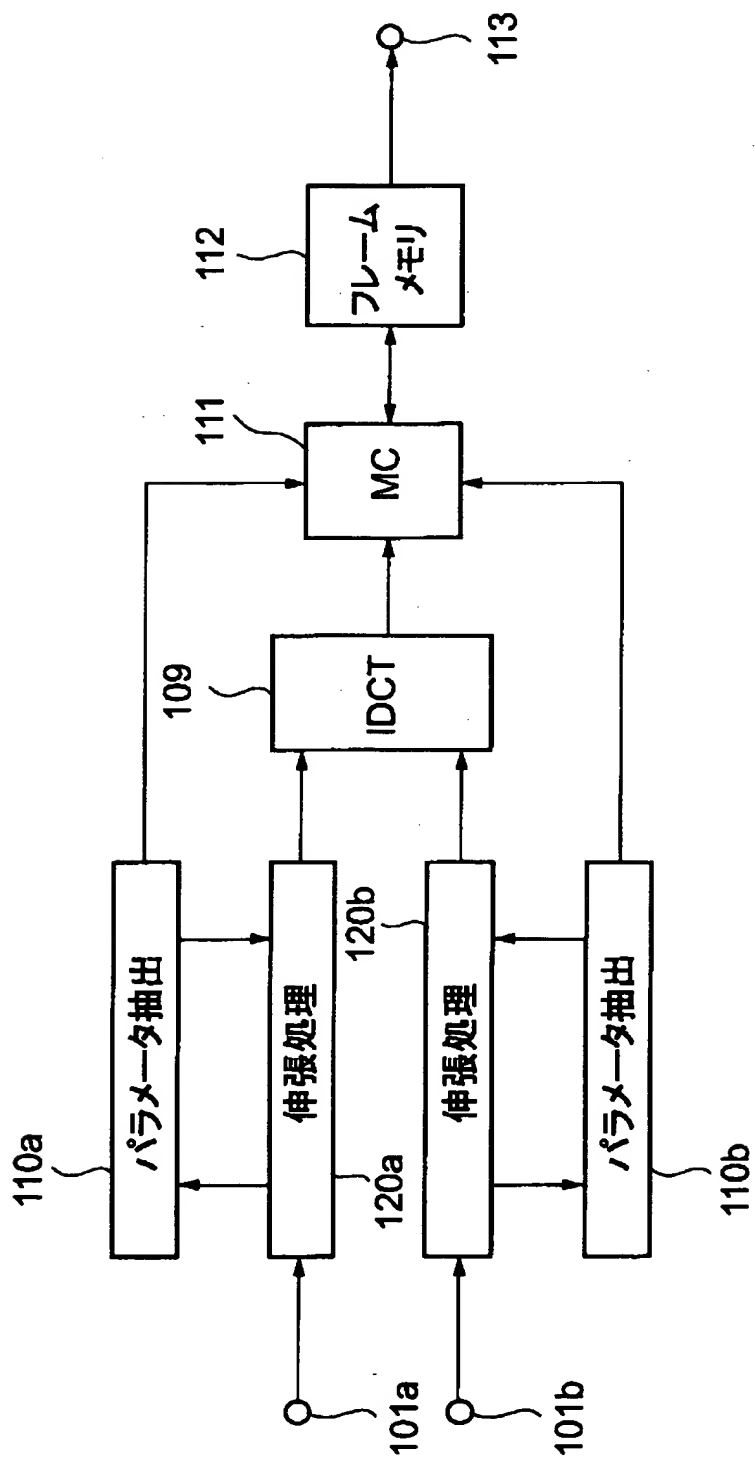
【図 3】



【 図 4 】



【図 5】



【書類名】 要約書

【要約】

【課題】 零ラン再生以降の処理の高速化を不要として、回路規模の縮小と低消費電力化を図りつつ符号化レートの高い圧縮画像データの復号処理を可能とする。

【解決手段】 入力端子 1 0 1 への圧縮画像データに含まれる可変長符号を可変長復号部 1 0 2 及び逆量子化部 1 0 3 で処理して生成した零ランレングス及び非零係数を 1 マクロブロックブロックに含まれる非零係数を記憶可能な F I F O メモリ部 1 0 4 を介して零ラン再生出力処理部 1 0 5 に入力することにより、零ランレングスに応じた数の零係数を生成して各ブロック毎に逆量子化結果に含まれる非零係数及び零係数を所定の順序で出力し、この零ラン再生後の D C T 係数を逆離散コサイン変換部 1 0 8 で逆離散コサイン変換して動き補償部 1 0 9 で動き補償を行い、復号再生された画像信号をフレームメモリ 1 1 1 を通して出力する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町72番地
氏 名	株式会社東芝